

## INSULATED GATE BIPOLAR TRANSISTOR HAVING REDUCED ELECTRIC FIELD

Publication number: JP10284733

Publication date: 1998-10-23

Inventor: BHATNAGAR MOHIT; WEITZEL CHARLES E

Applicant: MOTOROLA INC

Classification:

- international: H01L21/04; H01L29/10; H01L29/739; H01L29/20; H01L29/24; H01L21/02; H01L29/02; H01L29/66; (IPC1-7): H01L29/78; H01L29/16

- european: H01L21/04H20B; H01L29/10G; H01L29/739B; H01L29/739B2; H01L29/739C2

Application number: JP19980100073 19980327

Priority number(s): US19970829035 19970331

Also published as:



EP0869558 (A)

US5917204 (A)

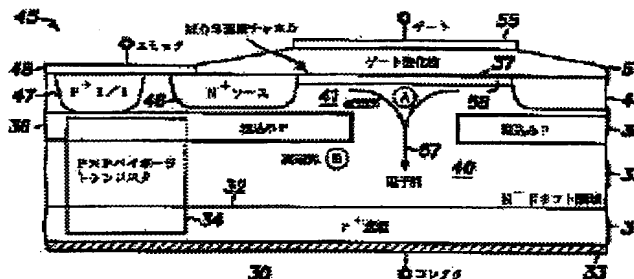
EP0869558 (A)

Report a data error h

## Abstract of JP10284733

**PROBLEM TO BE SOLVED:** To provide an IGBT (insulated gate bipolar transistor), which can be manufactured and has low on-resistance, proper switching characteristic (e.g., quick switching time, minimum switching loss and the like), low leakage current, high channel density and the like.

**SOLUTION:** An IGBT includes a collector 33, which is arranged on the surface of a substrate 31, and a doped structure 35, which is arranged on another surface 32 of the substrate and has an embedded region 36 therein. The embedded region determines a drift region 40 in the doped structure, extending in the longitudinal direction from the substrate and further determines a doped region 41, which is linked to the drift region adjacent to a surface 37 having the doped structure. An emitter 45 is linked to the doped region and arranged on the doped structure. An insulating layer 50 is arranged on the doped structure, together with a metal gate 55 that is arranged on the layer 50, extending in the lateral direction in proximity with a metallic layer 55 operating as a control terminal and determines a conducting channel 56, which is linked to the drift region and the emitter. The substrate and the embedded region have the same conductivity and are reverse to the doped structure. A bipolar transistor 34 is formed between the substrate and the embedded region.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 10-284733

(43)公開日 平成10年(1998)10月23日

(51)Int. Cl.<sup>6</sup>

H 0 1 L 29/78  
29/16

識別記号

F I

H 0 1 L 29/78 6 5 5 A  
29/16  
29/78 6 5 2 T  
6 5 2 C

審査請求 未請求 請求項の数 3

F D

(全 1 2 頁)

(21)出願番号 特願平10-100073

(22)出願日 平成10年(1998)3月27日

(31)優先権主張番号 08/829,035

(32)優先日 1997年3月31日

(33)優先権主張国 米国 (U S)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72)発明者 モヒット・バートネイガー

アメリカ合衆国アリゾナ州85226、チャン  
ドラー、ソース・キリーン・ロード 411  
#135

(72)発明者 チャールズ・イー・ウェイゼル

アメリカ合衆国アリゾナ州85202、メサ、  
ウェスト・ナランジャ・アベニュー 2222

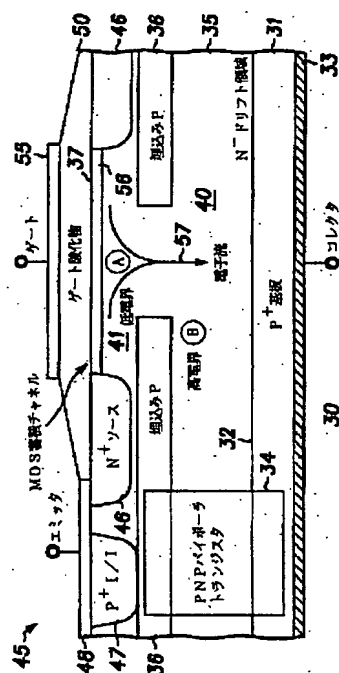
(74)代理人 弁理士 池内 義明

(54)【発明の名称】 低減された電界を備えた絶縁ゲートバイポーラトランジスタ

(57)【要約】

【目的】 新しくかつ改善された I G B T を提供する。

【構成】 I G B T は基板 (31) の表面上に配置されたコレクタ (33) と基板の他の表面 (32) 上に配置されたその中に埋込み領域 (36) を有するドーブ構造 (35) を含んでいる。埋込み領域は基板から縦方向に延在するドーブ構造中のドリフト領域 (40) を画定し、更にドリフト領域に連通しかつドーブ構造の表面 (37) に隣接するドーブ領域 (41) を画定する。エミッタ (45) はドーブ領域と連通してドーブ構造上に配置される。絶縁層 (50) はその上に配置される金属ゲート (55) と共にドーブ構造上に配置され、制御ターミナル (55) に隣接して横方向に延在しかつドリフト領域およびエミッタに連通する伝導チャネル (56) を画定する。基板と埋込み領域は同じ導電性でかつドーブ構造とは逆であり、それらの間にバイポーラトランジスタ (34) を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁ゲートバイポーラトランジスタ（30）であって、

第1の表面（32）および反対側の表面を有する第1導電型を備えた半導体基板（31）であって、前記反対側の表面上に配置された第1の電流ターミナル（33）を備えるもの、

その中に配置された第1導電型を備えた埋込み領域（36）を有する第2導電型を備えたドープ構造（35）であって、該ドープ構造（35）は前記基板（31）の第1の表面（32）上に配置されそして前記基板（31）の第1の表面（32）と平行でかつ間隔をあけられた表面（37）を画定し、前記埋込み領域（36）は前記ドープ構造（35）中に配置されて前記基板（31）の第1の表面（32）から延在しかつほぼ垂直なドープ構造（35）中のドリフト領域（40）を画定し、前記埋込み領域（36）は更に前記ドープ構造（35）中に配置されて前記ドリフト領域（40）に連通しかつ前記ドープ構造（35）の前記表面（37）に隣接するドープ領域（41）を画定するもの、

を具備し、前記基板（31）および前記埋込み領域（36）はバイポーラトランジスタ（34）を画定するようにそれらの間に配置される前記ドープ構造（35）の一部分を有し、前記絶縁ゲートバイポーラトランジスタ（30）はさらに、

前記ドープ領域（41）に連通する前記ドープ構造（35）中の第2導電型の第1の注入領域（46）と該第1の注入領域（46）および前記埋込み領域（36）に連通する前記ドープ構造（35）上に配置された電氣的コンタクト（48）とを含んでいる第2の電流ターミナル（45）、

前記ドープ領域（41）上に横たわる前記ドープ構造（35）の表面（37）上に配置された絶縁層（50）、および前記ドープ領域（41）中に伝導チャネル（56）を画定するように前記絶縁層（50）上に配置された制御ターミナル（55）であって、前記伝導チャネル（56）は前記制御ターミナル（55）に隣接して横方向に延在しかつ前記ドリフト領域（40）および前記第1の注入領域（46）に連通するもの、  
を具備することを特徴とする絶縁ゲートバイポーラトランジスタ（30）。

【請求項2】 シリコンカーバイド絶縁ゲートバイポーラトランジスタ（30）であって、

第1の表面（32）および反対側の表面を有する第1導電型を備えた半導体基板（31）であって、前記反対側の表面上に配置された第1の電流ターミナル（33）を備えるもの、

その中に配置された第1導電型の埋込み領域（36）を有する第2導電型を備えたドープエピタキシャル構造（35）であって、該エピタキシャル構造（35）は前

記基板（31）の第1の表面（32）上に配置されそして前記基板（31）の第1の表面（32）と平行でかつ間隔をあけられた表面（37）を画定し、前記埋込み領域（36）は前記エピタキシャル構造（35）中に配置されて前記基板（31）の第1の表面（32）から延在しかつほぼ垂直な前記エピタキシャル構造（35）中のドリフト領域（40）を画定し、前記埋込み領域（36）は更に前記エピタキシャル構造（35）中に配置されて前記ドリフト領域（40）に連通しかつ前記エピタキシャル構造（35）の前記表面（37）に隣接する横方向に延在しているドープ領域（41）を画定するもの、

を具備し、前記基板（31）および前記埋込み領域（36）はバイポーラトランジスタ（34）を画定するようにそれらの間に配置される前記エピタキシャル構造（35）の一部分を有し、前記シリコンカーバイド絶縁ゲートバイポーラトランジスタ（30）はさらに、前記ドープ領域（41）に連通する前記エピタキシャル構造（35）中の第2導電型の第1の注入領域（46）と該第1の注入領域（46）および前記埋込み領域（36）に連通する前記エピタキシャル構造（35）上に配置された電氣的コンタクト（48）とを含んでいる第2の電流ターミナル（45）、

前記ドープ領域（41）上に横たわる前記エピタキシャル構造（35）の表面（37）上に形成された酸化物および窒化物のうちの一つを含んでいる誘電体層（50）、および制御ターミナルを形成しかつ前記ドープ領域（41）中に伝導チャネル（56）を画定するように前記誘電体層（50）上に配置された金属層（55）であって、前記伝導チャネル（56）は前記制御ターミナルに隣接して横方向に延在しかつ前記ドリフト領域（40）および前記第2の電流ターミナル（45）に連通するもの、

を具備することを特徴とするシリコンカーバイド絶縁ゲートバイポーラトランジスタ（30）。

【請求項3】 絶縁ゲートバイポーラトランジスタを製造する方法であって、

第1の表面（32）および反対側の表面を有する第1導電型を備えた半導体基板（31）を提供しかつ前記反対側の表面上に第1の電流ターミナル（33）を配置する段階、

第2導電型を備えかつその中に配置された第1導電型を備えた埋込み領域（36）を有するドープ構造（35）を形成しおよび前記基板（31）の第1の表面（32）上に前記ドープ構造（35）を配置し、前記基板（31）の第1の表面（32）と平行でかつ間隔をあけられた表面（37）を備えた前記ドープ構造（35）を形成し、前記基板（31）の第1の表面（32）から延在しかつほぼ垂直な前記ドープ構造（35）中のドリフト領域（40）を画定するように前記ドープ構造（35）中

に前記埋込み領域(36)を配置し、そして更に前記ドリフト領域(40)に連通しかつ前記ドープ構造(35)の前記表面(37)に隣接するドープ領域(41)を画定するように前記ドープ構造(35)中に前記埋込み領域(36)を配置し、更にバイポーラトランジスタ(34)を画定するように前記埋込み領域(36)と前記基板(31)との間に配置された前記ドープ構造(35)の一部分を備えて前記埋込み領域(36)を配置する段階、

前記ドープ領域(41)に連通する前記ドープ構造(35)中の第2導電型の第1の注入領域(46)を注入しかつ前記第1の注入領域(46)および前記埋込み領域(36)に連通する前記ドープ構造(35)上の電気的コンタクト(48)を配置して第2の電流ターミナル(45)を形成する段階、

前記ドープ領域(41)上に横たわる前記ドープ構造(35)の表面(37)上に絶縁層(50)を配置する段階、および前記ドープ領域(41)中に伝導チャネル(56)を画定するように前記絶縁層(50)上に制御ターミナル(55)を配置し、前記制御ターミナル(55)に隣接しかつ前記ドリフト領域(40)および前記第2の電流ターミナル(45)の前記第1の注入領域(46)に連通して横方向に前記伝導チャネル(56)を延在させる段階、を具備することを特徴とする絶縁ゲートバイポーラトランジスタを製造する方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は絶縁ゲートバイポーラトランジスタ(insulated gate bipolar transistors: IGBT)およびその製造に関し、かつより特定的にはシリコンカーバイド絶縁ゲートバイポーラトランジスタに関する。

#### 【0002】

【従来の技術】伝統的に、パワーデバイス(power device)に関連する用途(60~2000V)に対しては、シリコンを基礎としたまたは基体とした(silicon based)パワーMOSFETまたはIGBTが使用される。高電圧および高電流の能力に加えて、これらのデバイスはまた低いオン状態(on-state)の電力損失(power losses)および良好なスイッチング特性(例えば、最小のスイッチング損失を備えた高速スイッチングなど)を有するべきである。しかしながら、目下これらのSiデバイスのいずれもが前述の特性の理想の組み合わせを提供していない。特に、SiのMOSFET(SiMOSFET)は非常に良好なスイッチング特性を有するが、高電圧の用途に対しては、そのオン抵抗(on-resistance)は非常に高くなる。これは600~900Vより小さいブレイクダウン電圧( $V_{\text{B}}$ )を備えたデバ

イスを必要とする用途に対してだけにSiのMOSFETの使用を制限する。これに反して、高い $V_{\text{B}}$ (600~2000V)を備えたデバイスに対してさえも、SiのIGBT(Si IGBT)は非常に良好なオン状態特性(高い電流密度における低い順方向電圧降下)を有している。しかしながら、SiのIGBTは低周波数の用途(<40KHz)に対してだけ使用でき、なぜなら高いスイッチング周波数においてIGBTのスイッチング損失は実用的な用途にとって高くなり過ぎるからである。従って、今日のSi工業技術(Si technology)においてはSiのMOSFET(速いスイッチング、MOSゲート制御など)およびSiのIGBT(高い $V_{\text{B}}$ の用途に対する低い順方向電圧降下)の組合わされた利益を提供できる単一のデバイスはない。

【0003】最近、パワーデバイスの用途に対して炭化ケイ素またはシリコンカーバイド(silicon carbide: SiC)がその大きな電界強度、高い熱伝導度および適度に高い移動度のために多くの関心を得てきている。SiCを基礎とした(SiC based)MOSFETおよびIGBTはそれらのSiの対応物(counterparts)よりもかなり改善された性能の利点を提供できるであろうことが予想される。例えば、MOSFETが900Vより大きい $V_{\text{B}}$ を備えたデバイスを必要とする用途に対して使用できないSi工業技術とは異なり、SiCのMOSFET(SiC MOSFET)は2500Vまでの用途に対して有効であると予想される。しかしながら、より高い $V_{\text{B}}$ の用途(2500~5000V)に対しては、SiCのMOSFETのオン抵抗は高くなりすぎかつSiCを基礎としたバイポーラデバイスが性能の利点を提供し始める。特に、SiのIGBTおよびサイリスタに比較して、SiCのIGBT(SiC IGBT)はより小さなドリフト領域はもちろんそれらのより低いキャリア寿命のためにずっと高いスイッチング周波数で動作できるであろう。

【0004】最近5年の間、SiC工業技術に基づいた多くの異なるパワーデバイスが明らかにされてきた。これらのデバイスはSiCを基礎としたMOSFET、IGBTおよびサイリスタを含んでいる。これらのデバイスのいくつかは低いオン状態損失、高いスイッチングスピード、および高い動作温度性能に関して大いに有望な成果を示してきた。しかしながら、これらのデバイスのどれもが、最適に設計されたSiCを基礎としたパワーデバイスが提供することが予想される十分な可能性を実現するのに近いところには来ていない。これまで明らかにされた実験的なデバイスの予想より低い性能に対する1つの理由は、これらのデバイスの全てが伝統的に使用されるSiのパワーデバイスに基づく本質的に副次的なまたは少しの変形物であることである。これらのより早期のデバイスの設計はSiC工業技術に特有であ

10

20

30

40

50

る性能事項（例えば、乏しい反転層の移動度およびゲート酸化物の乏しい高温の信頼性）に対処していない。

【0005】例えば、二重拡散MOSFET (double diffusion MOSFET: DMOSFET) はSi工業技術において最も一般に用いられるパワーMOSFET構造の1つであるが、その現在の形状ではそれはSiC工業技術において用いることができない。DMOSFETにおいてはゲート制御は横方向の表面に沿ったP導電性材料中に形成される反転チャネル (inversion channel) を通して生じる。しかしながら、シリコンカーバイドに対する製造可能な拡散工業技術の欠如により、DMOSFETはSiCでは製造できない。また、DMOSFETにおける反転チャネルはソースとゲートとの間のP導電性材料上にゲート酸化物を形成することによって提供され、そしてSiCにとってこれは高い固定電荷 (high fixed charges) を備えた劣悪な品質の酸化物および酸化物/SiC界面におけるたくさんのトラップを結果として生じる。これはデバイス中で電流を生み出すキャリア (電子) の移動度の減少を生じ、かつ電子の移動度におけるこの減少はデバイスのオン抵抗 (ON-resistance) を猛烈に悪化させる。

【0006】シリコンカーバイドに対する代替の (alternative)、縦型構造は、「フローティングフィールドリングおよびフローティングフィールドプレート」を備えたシリコンカーバイドパワーMOSFET (Silicon Carbide Power MOSFET with Floating Field Ring and Floating Field Plate) 」と題されかつ1993年8月3日に発行された、米国特許番号5, 233, 215号で開示されたUMOSFETである。UMOSFETにおいては反転チャネルはエッチングされた溝またはトレンチに沿ってMOSゲートによって形成される。DMOSFETと同様に、UMOSFETにおいても、ゲート酸化物は前述のようにP導電性層上に形成され、それはSiCを基礎としたFETに対して劣悪な品質の酸化物と高いオン抵抗とを生じる。

【0007】DMOSまたはUMOS工業技術に基いたSiCのMOSFETまたはIGBTにともなう他の大きな問題は、SiCの大きなブレイクダウン電界強度のために、これらのデバイスではゲート酸化物における電界が非常に高いことである。実験に基づく研究は、SiCのMOSデバイスにおける高温の酸化物の信頼性の懸念 (concerns) のために、酸化物における電界は4MV/cm以下に抑えるべきであることを示唆する。しかしながら、これは材料の本来のブレイクダウン電界強度をかなり下回るようにSiCドリフト領域における電界を制限することを必要とするであろう。これは、DMOSまたはUMOS工業技術に基いたSiCの

IGBTデバイスの場合に対して、デバイスの性能 (ブレイクダウン電圧、オン抵抗など) がゲート酸化物の信頼性の懸念によって決定されかつSiCの本来の特性にはよらないであろうことを示唆する。

【0008】

【発明が解決しようとする課題】それゆえ、低いオン抵抗、良好なスイッチング特性 (例えば速いスイッチングタイムおよび最小のスイッチング損失など)、低いリーク電流、高いチャネル密度などを備えた製造可能なIGBTを有することは大いに有益であるだろう。

【0009】本発明の目的は、新しくかつ改善されたIGBTを提供することである。

【0010】本発明の他の目的は、低いオン抵抗、良好なスイッチング特性、低いリーク電流、および高いチャネル密度を備えた新しくかつ改善されたIGBTを提供することである。

【0011】本発明の更に他の目的は、ゲート酸化物における電界を最小にしかつ従って、高温および高電界でのゲート酸化物の信頼性の懸念を緩和する新しいIGBT構造を提供することである。

【0012】本発明の更に他の目的は、シリコンまたはシリコンカーバイドまたはいずれかのIII-V材料系で製造できる新しくかつ改善されたIGBTを提供することである。

【0013】

【課題を解決するための手段】本発明に係る絶縁ゲートバイポーラトランジスタにより前述および他の問題は少なくとも部分的には解決されかつ前述および他の目的が実現される。前記絶縁ゲートバイポーラトランジスタは第1の表面および反対側の表面を有する第1導電型を備えた半導体基板を含み、前記反対側の表面上に配置された第1の電流ターミナル (current terminal) を備えている。第2導電型を備えたドープ構造 (doped structure) はその中に配置された第1導電型を備えた埋込み領域 (buried region) を有するよう形成される。前記ドープ構造は前記基板の第1の表面上に配置されそして前記基板の第1の表面と平行でかつ間隔をあけられた (spaced) 表面を画定 (define) する。前記埋込み領域は前記ドープ構造中に配置されて前記基板の第1の表面から延在 (extending) しかつ前記第1の表面とほぼ垂直なドープ構造中のドリフト領域 (drift region) を画定する。前記埋込み領域は更に前記ドープ構造中に配置されて前記ドリフト領域に連通 (communication) しかつ前記ドープ構造の前記表面に隣接するドープ領域 (doped region) を画定する。また、前記埋込み領域、前記基板、およびそれらの間に配置される前記ドープ構造の一部分はバイポーラトランジスタを形成する。第2の電流ターミナルは前記ドープ構造中であつ前記ドープ領域に

10

20

30

40

50

連通する第1の注入領域 (implant region) と該第1の注入領域に連通しかつ前記ドープ構造の表面上に配置された電氣的コンタクトとを含んでいる。絶縁層 (insulating layer) は前記ドープ領域上に横たわる前記ドープ構造の表面上に配置されかつ制御ターミナル (control terminal) は前記ドープ領域中に伝導チャネル (conduction channel) を画定するように前記絶縁層上に配置される。前記伝導チャネルは前記制御ターミナルに近接または隣接 (adjacent) しかつ前記ドリフト領域および前記第2の電流ターミナルに連通して横方向に延在する。

【0014】前記埋込み領域はいくつかの異なる技術を利用して形成でき、それらの技術はエピタキシャル層中に粒子 (particles) を注入すること、または前記基板上に第1のエピタキシャル層を形成し、該第1のエピタキシャル層上に第2のエピタキシャル層を形成しかつ該第2のエピタキシャル層中に埋込み層を画定し、そして前記第2のエピタキシャル層上に第3のエピタキシャル層を形成し、該第3のエピタキシャル層が伝導チャネルを画定することを含む。

【0015】1つの特定の実施形態においては前記第2の電流ターミナルは前記第1の注入領域に連通する第1導電型の第2の注入領域を含んでおり、かつ前記第1の注入領域は前記伝導チャネルを蓄積チャネル (accumulation channel) に形づくるように前記第2の注入領域および前記ドリフト領域の間に配置されている。他の特定の実施形態においては前記第2の注入領域は、前記第1の注入領域に連通しかつ前記伝導チャネルを反転チャネル (inversion channel) に形づくるように前記第1の注入領域および前記ドリフト領域の間に配置された第1導電型の第2の注入領域を含んでいる。

【0016】

【発明の実施の形態】特に図1を参照すると、単純化された断面図は伝統的なDMOS絶縁ゲートバイポーラトランジスタ10を図解している。トランジスタ10はシリコンで形成されたP+ドープ (P+ doped) 半導体基板11を含んでいる。金属の層が基板11の下部または後部表面上に被着または堆積され (deposited) かつ当業者によってよく知られた技術によりオーミックコンタクトを形成するよう処理され、それはトランジスタ10のためのコレクタ13である。Nドープ構造15は基板11の表面12上に配置されかつ拡散領域 (diffused region) 16が垂直または縦方向の (vertical) ドリフト領域17を画定するようにドープ構造15中に形成される。N+ソース18は拡散領域16中に拡散され、かつ金属エミッタターミナル19は拡散領域16およびソース18と連通して表面上に配置される。

【0017】絶縁層20はソース18および拡散領域16の一部分上に横たわる関係にドープ構造15の表面上に配置される。また、絶縁層20は拡散領域16の内部 (の間) でドリフト領域17上に横たわる。金属ゲート21は層20上に被着されかつMOSゲートとして動作するコンタクトを作成するためによく知られた方法で処理される。金属層21は絶縁層20のすぐ下の拡散領域16中のかつソース18とドリフト領域17との間に拡張または延在している反転チャネル22を画定する。よく知られるようにコレクタ13、エミッタ19およびゲート21の間に印加された電界によって適切に電圧が加えられたとき、トランジスタ10はエミッタ19、ソース18、反転チャネル22、ドリフト領域17、および基板11からコレクタ13へ電流を伝導する。

【0018】DMOS絶縁ゲートバイポーラトランジスタ10の特定の構造はシリコンカーバイド (SiC) 工業技術にとって適切ではなく、なぜなら、1800°C以下の温度に対するSiCにおけるNおよびP型ドーパントの非常に小さい拡散係数により、DMOS工業技術はSiCにおいて製造可能ではないからである。トランジスタ10を製造するための代替の方法はN+ソースおよびP-ベース (P-base) 領域をつくるために拡散の代わりにイオン注入を用いることによるものである。この場合、しかしながら、AおよびBによって図1中で示されるように、高電界が拡散領域16とドリフト領域17との間の界面 (P-ベースのコーナー/N-ドリフト領域界面) にはもちろん絶縁層20とドープ構造15との間の界面 (酸化物/半導体界面) に存在する。シリコン材料系のDMOS絶縁ゲートバイポーラトランジスタの場合では、点Bでの最大電界はシリコンのブレイクダウン電界強度 (およそ0.2 MV/cm) と同じくらい高いだけでありかつ従って、点Aでの電界は常にゲート酸化物における最大許容電界 (およそ10 MV/cm) をかなり下回る。しかしながら、シリコンカーバイドを基礎としたDMOS絶縁ゲートバイポーラトランジスタの場合では、点Bでの最大電界はシリコンカーバイドのブレイクダウン電界強度 (およそ3 MV/cm) と同じくらい高くかつ従って、点Aでのゲート酸化物の電界は5~7 MV/cmと同じくらい高いであろう。ゲートにおける電界のそのような高い値のため、高電界下の酸化物の信頼性はシリコンカーバイド (SiC) に対して極めて乏しかつ、従って、早期の酸化物の破壊がSiC絶縁ゲートバイポーラトランジスタにおいて点Aで生じるであろう。

【0019】特に図2を参照すると、単純化された断面図が本発明に従った絶縁ゲートバイポーラトランジスタ30を図解している。トランジスタ30は上部表面32を備えた半導体基板31を含んでおり、該基板は、第1の型の導電性でドープされた、シリコン (silicon)、炭化ケイ素またはシリコンカーバイド (silicon carbide) である。

con carbide)、ヒ化ガリウムまたはガリウムヒ素 (gallium arsenide)、窒化ガリウムまたはガリウムナイトライド (gallium nitride) などのようないずれの適切なまたは都合のよい半導体材料とすることもできる。この好ましい実施形態においては、基板 31 はシリコンカーバイドで形成されかつ P 導電性で濃くまたは多量にドーブ

(P<sup>+</sup>) される。金属の層 33 が基板 31 の下部または後部表面上に被着されかつ当業者によってよく知られた技術によりオーミックコンタクトを形成するよう処理される。この実施形態においては、層 33 はトランジスタ 30 のためのコレクターミナルまたは電極である。層 33 は製造工程の間のいずれの都合がよい時にも被着することができかつこの記述は理解を容易にするためにこの時点に含められていることが理解されるであろう。

【0020】その中に配置された埋込み領域 36 を有するドーブ構造 35 は、基板 31 の表面 32 上に配置されそして基板の表面 32 と平行でかつ間隔をあけられた表面 37 を画定する。埋込み領域 36 は基板 31 の表面 32 から延在しかつほぼ垂直なドーブ構造 35 中のドリフト領域 40 を画定するようにドーブ構造 35 中に配置される。ドリフト領域 40 の厚みおよびドーピングは基本的なデバイス物理 (basic device physics) に従って与えられたブレークダウン電圧を維持するように設計される。更に、埋込み領域 36 はドリフト領域 40 と連通しかつドーブ構造 35 の表面 37 に隣接するドーブ領域 41 を画定するようにドーブ構造 35 中に配置される。埋込み領域 36 は 2 つの間隔をあけられた部分として図 2 に現われているが、トランジスタ 30 は普通は閉じられた形態 (closed formation) で構成され、すなわち埋込み領域 36 は上面図 (top plan) において円形状 (circular)、競馬場形状 (race-track shaped)、蛇状 (serpentine) などで現われ、全てのそのような形態は従来技術でよく知られていることが、当業者によって理解されるであろう。

【0021】埋込み領域 36 は基板 31 と同じ導電型で形成されかつドーブ構造 35 は反対の導電型を有する。この特定の実施形態においては、基板 31 は P 型の導電性を有しそして、それゆえ、埋込み領域 36 は P 型導電性を有しかつドーブ構造 35 は N 型導電性を有する。従って、基板 31、ドーブ構造 35 および埋込み領域 36 は P-N-P バイポーラトランジスタ 34 を形成する。

【0022】第 2 の電流ターミナル 45 はドーブ領域 41 と連通してドーブ構造 35 上に配置される。この実施形態においてはトランジスタ 30 のエミッターミナルである第 2 の電流ターミナル 45 は、第 2 の導電型で濃くドーブされる (N<sup>+</sup>) 表面 37 に隣接した注入領域 (implant area) 46 を含んでいる。第 2 の電流ターミナル 45 は、例えば、埋込み領域 36 とド

ーブ構造 35 の表面 37 との間に延在しかつ注入領域 46 から間隔をあけられている注入領域 47 によって埋込み領域 36 に電氣的に結合される。金属層 48 は注入領域 46 および注入領域 47 に電氣的に接触して表面 37 上に被着されかつ、金属層 48 と注入領域 46 および 47 との間にオーミックコンタクトを提供するためによく知られた方法で処理される。

【0023】絶縁層 50 がドーブ領域 41 上に横たわる関係にドーブ構造 35 の表面 37 上に配置される。一般に、絶縁層 50 は注入領域 46 の中の (の間の) 表面 37 上に横たわる。好ましい実施形態においては絶縁層 50 は表面 37 上に成長した酸化物または窒化物である。ドーブ領域 41 は n 導電性材料であるので、その上に成長した酸化物の質は比較的により良好でありかつ界面またはその下の材料中の固定電荷 (fixed charges) に問題はない。金属層 55 は層 50 上に被着されかつゲートターミナルとして動作するコンタクトを生じるためによく知られた方法で処理される。MOS ゲートはパワーデバイスにおけるより低い伝導チャネル抵抗 (conduction channel resistance) のためにチャネル領域中の電流を制御するのに (ショットキーゲートよりも) 好ましい。また、MOS ゲートは、例えば、ショットキーゲートよりも低いゲートリーク電流または漏れ電流を提供する。金属層 55 は表面 37 に隣接するドーブ領域 41 中に蓄積チャネル 56 を画定する。蓄積チャネル 56 はドリフト領域 40 と注入領域 46 との間にゲートターミナルに隣接または近接して横方向に延在している。よく知られる様にエミッタ、コレクタおよびゲートターミナルの間に印加された電位によって適切に電圧を加えたとき、IGBT トランジスタ 30 は、矢印 57 によって表わされるように、エミッタ 48 の注入 46 から、蓄積チャネル 56、ドリフト領域 40、および基板 31 を通してコレクターミナル 33 へ電流を伝導する。

【0024】蓄積チャネル IGBT 30 の動作は MOS ゲート制御が蓄積チャネル 56 を通して行なわれることを除いては図 1 の DMOS の IGBT 10 とほとんど同様である。蓄積チャネルの移動度は反転チャネルの移動度よりも 2~3 倍高いので、IGBT 30 は反転チャネル MOSFET デバイスよりもより低い R<sub>ON</sub> を有する。P 埋込み領域 36 の存在は B で表わされた高電界領域からの A で表わされたドリフト領域 40 におけるゲート絶縁層 50 の完全なアイソレーションを提供する。IGBT 30 においては、DIMOS または UMOS 構造とは違って、高電界および高温下のゲート酸化物 (絶縁層 50) の信頼性の問題は完全に除去される。更に、IGBT 30 の V<sub>BS</sub> はドリフト領域 40 の厚みおよびドーピングによってもっぱら決定されかつ従って、SiC で形成されたドリフト領域の本質的に優れた特性の最適な使用を可能にする。これは、ゲートの下の酸化物の信頼

性がSiCにおける最大許容電界を決定しかつ従って、ドリフト領域の期待される $V_B$ 以下にSiCデバイスの $V_B$ を制限する、従来技術のDMOSまたはDIMOS IGBTとは対照的である。N型チャネル領域における全電荷 (total charge) に依存して、蓄積チャネル IGBT 30 はノーマリ (normally) - オン ( $V_F < 0$ ) またはノーマリーオフ ( $V_F > 0$ ) モードのどちらに対しても設計できる。

【0025】特に図3を参照すると、単純化された断面図が本発明に従った絶縁ゲートバイポーラトランジスタ 30' の他の実施形態を図解している。図2に関連して記述された構成要素と同様である図3に図解された実施形態の構成要素は同様に番号付けされかつプライム (prime) が異なる実施形態を示すために全ての数字に加えられている。トランジスタ 30' は上部表面 32' とトランジスタ 30' のためのコレクタターミナルとして底部または後部面上に被着された金属の層 33' とを備えた半導体基板 31' を含んでいる。その中に配置された埋込み領域 36' を有するドーブ構造 35' は、基板 31' の表面 32' 上に配置されそして表面 32' と平行でかつ間隔をあけられた表面 37' を画定する。埋込み領域 36 はドーブ構造 35' 中に配置され、ドリフト領域 40' および該ドリフト領域 40' と連通しかつドーブ構造 35' の表面 37' に隣接するドーブ領域 41' を画定する。一般に、基板 31 および 31'、ドーブ構造 35 および 35' そして埋込み領域 36 および 36' は同様にかつ現在記述されている方法で構成される。また、前に記述されたように、基板 31'、ドーブ構造 35' および埋込み領域 36' はP-N-Pバイポーラトランジスタ 34' を形成する。

【0026】第2の電流ターミナル 45' はドーブ領域 41' と連通してドーブ構造 35' 上に配置される。この実施形態においてはトランジスタ 30' のエミッタターミナルである第2の電流ターミナル 45' は、第1の導電型で濃くドーブされる ( $N^+$ ) 表面 37' に隣接する注入領域 46' を含んでいる。この実施形態においては、第2の電流ターミナル 45' は、埋込み領域 36' とドーブ構造 35' の表面 37' との間に延在しかつ注入領域 46' とドリフト領域 40' との間に少なくとも部分的に配置される注入領域 47' によって、埋込み領域 36' に電気的に結合される。金属層 48' は注入領域 46' および注入領域 47' に電気的に接触して表面 37' 上に被着されかつ、金属層 48' と注入領域 46' および 47' との間にオーミックコンタクトを提供するためによく知られた方法で処理される。

【0027】絶縁層 50' はドーブ領域 41' 上に横たわる関係にドーブ構造 35' の表面 37' 上に配置される。一般に、絶縁層 50' は注入領域 46' の中の (の間の) 表面 37' 上に横たわる。好ましい実施形態においては絶縁層 50' は表面 37' 上に成長した酸化物ま

たは窒化物である。金属層 55' が層 50' 上に被着されかつゲートターミナルとして動作するコンタクトを生じるためによく知られた方法で処理される。金属層 55' は表面 37' に隣接した注入領域 47' 中に反転チャネル 56' を画定する。反転チャネル 56' はドリフト領域 40' と注入領域 46' との間にゲートターミナルに隣接して横方向に延在する。よく知られる様にエミッタ、コレクタおよびゲートターミナルの間に印加される電位によって適切に電圧が加えられたとき、IGBT トランジスタ 30' は、矢印 57' で示されるように、エミッタ 48' の注入 46' から、反転チャネル 56'、ドリフト領域 40'、および基板 31' を通ってコレクタターミナル 33' に電流を伝導する。

【0028】反転チャネル IGBT 30' の動作は、MOSゲート制御が反転チャネル 56' を通して生じることを除いては、図1のDMOS IGBT 10とほとんど同様である。P埋込み領域 36' の存在はBで示される高電界からのAで示されるドリフト領域 40' におけるゲート絶縁層 50' の完全なアイソレーションを提供する。IGBT 30' においては、DIMOSまたはUMOS構造とは違って、高電界および高温下のゲート酸化物 (絶縁層 50') の信頼性の問題は完全に除去される。更に、IGBT 30' の $V_B$ はドリフト領域 40' の厚みおよびドーピングによってもっぱら決定されかつ従って、SiCで形成されるドリフト領域の本質的に優れた特性の最適な使用を可能にする。これは、ゲートの下の酸化物の信頼性がSiCにおける最大許容電界を決定しかつ従って、ドリフト領域の期待される $V_B$ 以下にSiCデバイスの $V_B$ を制限する、従来技術のDMOSまたはDIMOS IGBTと対照的である。反転チャネル IGBT 30' は一般にゼロVより大きなしきい値電圧 (threshold voltage:  $V_T$ ) を有するように設計されかつ $V_F$ は数ある因子の中でPベース領域のドーピング、絶縁層 50' の厚み、およびゲート金属層 55' の仕事関数に主として依存する。反転層 IGBT 30' はSiバイポーラパワーデバイスのそれと非常に類似したゲート制御仕様 (gate control specification) でSiCのIGBTの製造を可能にする。

【0029】今図4~6に目を移すと、トランジスタ 30 または 30' における埋込み層 36 または 36' を製造するための一つの工程におけるいくつかの段階が図解されている。図2および3におけるトランジスタ 30 または 30' の構成要素と同様の構成要素はデバイスを比較するのを助けるために同じ数字 (プライムは簡単化のために省略した) で表わされる。特に図4を参照すると、上部表面 32 を有する、この例ではシリコンカーバイド基板である半導体基板 31 が提供されかつ電流コンタクト 33 が下部表面上に形成される。基板 31 はP導電性で濃く (heavily) ドープされる。N導電性

で薄く (lightly) ドープされた比較的厚いエピタキシャル層 (epitaxial layer) 35 はよく知られる工程のいずれかを利用して表面 32 上にエピタキシャル成長される。エピタキシャル層 35 は図 2 および 3 に関連して記述されたドープ構造 35 を表わしかつ上部表面 37 を画定する。

【0030】図 5 に目を移すと、注入マスク 70 がいずれかのよく知られた方法でエピタキシャル層 35 の表面 37 上に形成される。例えば、金属層とフォトレジストの組み合わせが表面 37 上に被着されそしてフォトレジストを露出しかつそれから金属をエッチングするためにそれを使用することによってパターン化される。パターン化された金属および残っているフォトレジストは、もし都合がよければ、それからエピタキシャル層 35 中に粒子 (particles) を深く注入するためのマスクとして使用され、それによって埋込み層 36 が形成される。埋込み層 36 は P+導電性を有しそしてこの導電性を提供しかつ深く注入されるのが可能ないずれの材料も使用できる。

【0031】特定の例においては、埋込み層 36 の上部表面は表面 37 の下におよそ  $0.2\mu\text{m}$  から  $0.3\mu\text{m}$  の範囲にありかつ下部表面は表面 37 の下におよそ  $0.7\mu\text{m}$  から  $1.1\mu\text{m}$  の範囲にある。また、埋込み層 36 の下部表面は基板 31 の表面 32 からは  $5\mu\text{m}$  から  $35\mu\text{m}$  の範囲にある。この例においては埋込み層 36 を形成する粒子は望まれる深さを達成するために  $200\text{KeV}$  から  $1\text{MeV}$  の範囲のエネルギーで  $5\text{E}15$  から  $5\text{E}16$  の密度で注入される (矢印 71 で表わされる)。埋込み層 36 が適切に形成されるとともに、注入マスク 70 が除去される。

【0032】図 6 に目を移すと、新しい注入マスク 72 が前述のそれと同様の被着およびパターンニングによって形成される。この段階または工程においては注入マスク 72 は、埋込み層 36 の直接的に上の領域 73 を除いて、表面 37 全体を覆う。粒子は領域 73 を通して、埋込み領域 36 によって画定されるドープ領域 41 中に注入され、埋込み領域 36 からエピタキシャル層 35 の表面 37 まで延在している濃くドープされた P 導電性注入領域 47 を形成する。注入領域 47 の長さ、または横方向の寸法は注入領域 47 の選択された位置に依存し、かつ図 2 または図 3 の実施形態のいずれかが製造されている。粒子は  $5\text{E}15$  から  $5\text{E}16$  の範囲の密度および  $50\text{KeV}$  から  $300\text{KeV}$  の範囲のエネルギーでおよそ  $0.2\mu\text{m}$  から  $0.3\mu\text{m}$  の範囲の深さに注入される。前に説明されたように、注入領域 47 は、図 3 の実施形態において反転チャネル 56' を画定するためにはもちろん、埋込み領域 36 とエミッターミナル 45 との間の電気的な接続を形成するために提供される。

【0033】今図 7~9 に目を移すと、トランジスタ 30 または 30' における埋込み層 36 または 36' を製

造するための他の工程におけるいくつかの段階が図解されている。図 2 および 3 におけるトランジスタ 30 または 30' の構成要素と同様の構成要素はデバイスを比較するのを助けるために同じ数字 (プライムは簡単化のために省略した) で表わされる。特に図 7 を参照すると、上部表面 32 を有する半導体基板 31 が提供されかつ電流コンタクト 33 が下部表面上に形成される。基板 31 は P 導電性で濃くドープされる。N 導電性で薄くドープされた第 1 のエピタキシャル層 35 a はよく知られた工程のいずれかを利用して表面 32 上にエピタキシャル成長される。エピタキシャル層 35 a は図 2 および 3 に関連して記述されたドープ構造 35 の第 1 の部分を表わす。

【0034】図 8 に目を移すと、P+導電性で濃くドープされた第 2 のエピタキシャル層 35 b がよく知られる工程のいずれかを利用して第 1 のエピタキシャル層 35 a 上に成長される。エッチマスク 80 はフォトレジストまたは金属およびパターンニングのようないずれかのよく知られる技術でエピタキシャル層 35 b の上部表面上に形成される。エッチマスク 80 はそれからエピタキシャル層 35 b を通して開口をエッチングするために使用され、該開口は最後にドリフト領域 40 を画定するであろう。第 3 のエピタキシャル層 35 c がそれから層 35 b 上にそこを通る開口を含んでエピタキシャルに成長される。エピタキシャル層 35 b は比較的厚い ( $0.4\mu\text{m}$  から  $0.9\mu\text{m}$ ) ので、エピタキシャル層 35 b 中の開口 (ドリフト領域 40) によって生じるであろう不均一性は、もし必要なら、付加的な (additional) マスクおよび開口における成長段階または工程 (growth stage) で比較的簡単に補償でき、その後マスクが除去されかつ完全な (complete) 層 35 c が、図 9 に図解されるように、成長される。注入領域 46 および 47 はそれから前に説明されたように完成される。

【0035】今図 10~11 に目を移すと、トランジスタ 30 または 30' における埋込み層 36 または 36' を製造するための更に他の工程におけるいくつかの段階が図解されている。図 2 および 3 におけるトランジスタ 30 および 30' の構成要素と同様の構成要素はデバイスおよび方法を比較するのを助けるために同じ数字 (プライムは簡単化のために省略した) で表わされる。この実施形態においては再び図 7 の構造が出発点であると仮定される。エピタキシャル層 35 a を成長した後 (図 7)、埋込み層 36 がエピタキシャル層 35 a 中にイオン注入 (ion-implantation) によって形成され、そこを通してドリフト領域 40 を画定するようイオン注入物または注入 (ion implant) をパターンニングする。イオン注入は従来技術で知られる標準的な技術のいずれを用いても行うことができ、一般に注入マスク (図示せず) を含んでいる。チャネル層 3

5cはそれから、図11に図解されるように、注入された埋込み層36およびドリフト領域40の上部上に成長される。

#### 【0036】

【発明の効果】それゆえ、新しくかつ改善されたIGBTが、縦または垂直方向のドリフト領域、MOSゲート制御、横方向のゲートまたはチャネル領域、および蓄積または反転チャネルを含んで開示される。更に、改善されたIGBTはシリコン、シリコンカーバイド、ガリウムヒ素、ガリウムナイトライド、または他のIII-V材料系のいずれでも簡単に製造できる。一般に、SiC材料系は、特に高電力(high power)用途に対して、より低いオン抵抗のために好ましい。SiCのDIMOSまたはUMOSデバイスに比較すれば、本手法は高電界条件下のMOS酸化物(または他のゲート絶縁層)の乏しい信頼性の問題を解決する。更に、電流制御(current-controlled)デバイス(例えばGTO)とは異なり、開示されたデバイはいずれの複雑なゲート駆動回路(gate drive circuitry)およびゲート制御のためのスナバ(snbbers)も必要としない。MOSゲートサイリスタ(例えばMCT、MTO)に比較して、2-5KVの用途に対しては、本IGBTの利点はより良好なRON対スイッチング速度の交換条件(trade-off)にある。

【0037】本SiCパワートランジスタは、高いVB(2~5KV)、高電流(10~100A)および速いスイッチング速度(>200KHz)を備えたデバイを必要とする用途に対して代替(alternative)SiCの手法よりもかなり改善された性能を提供する。縦方向のドリフト領域はより高いチャネル密度および半導体基板の不動産または面積(real estate)における実質的な節約を提供する。MOSゲート制御はより高いトランスコンダクタンス(trans conductance)および低減されたゲートリーク電流を提供する。横方向ゲートまたはチャネル領域は改善された酸化物および酸化物(SiC/SiO<sub>2</sub>)界面へ改善されたエピタキシャル層を提供する。従って、低いオン抵抗、良好なスイッチング特性、低いリーク電流、および高いチャネル密度を備えた新しくかつ改善されたIGBTが開示された。

#### 【図面の簡単な説明】

【図1】伝統的な絶縁ゲートバイポーラトランジスタの単純化された断面図である。

【図2】本発明に従った絶縁ゲートバイポーラトランジスタの一実施形態の単純化された断面図である。

【図3】本発明に従った絶縁ゲートバイポーラトランジスタの他の実施形態の単純化された断面図である。

【図4】図2または3の絶縁ゲートバイポーラトランジスタを製造する方法におけるある段階を示した断面図で

ある。

【図5】図2または3の絶縁ゲートバイポーラトランジスタを製造する方法におけるある段階を示した断面図である。

【図6】図2または3の絶縁ゲートバイポーラトランジスタを製造する方法におけるある段階を示した断面図である。

【図7】図2または3の絶縁ゲートバイポーラトランジスタを製造する他の方法におけるある段階を示した断面図である。

【図8】図2または3の絶縁ゲートバイポーラトランジスタを製造する他の方法におけるある段階を示した断面図である。

【図9】図2または3の絶縁ゲートバイポーラトランジスタを製造する他の方法におけるある段階を示した断面図である。

【図10】図2または3の絶縁ゲートバイポーラトランジスタを製造する他の方法におけるある段階を示した断面図である。

【図11】図2または3の絶縁ゲートバイポーラトランジスタを製造する他の方法におけるある段階を示した断面図である。

#### 【符号の説明】

- 10 DMOS絶縁ゲートバイポーラトランジスタ
- 11 半導体基板
- 12 表面
- 13 コレクタ
- 15 ドープ構造
- 16 拡散領域
- 17 ドリフト領域
- 18 ソース
- 19 エミッタ
- 20 絶縁層
- 21 金属ゲート
- 22 反転チャネル
- 30、30' 絶縁ゲートバイポーラトランジスタ
- 31、31' 半導体基板
- 32、32' 上部表面
- 33、33' 金属の層
- 34、34' P-N-Pバイポーラトランジスタ
- 35、35' ドープ構造
- 35a エピタキシャル層
- 35b エピタキシャル層
- 35c エピタキシャル層
- 36、36' 埋込み領域
- 37、37' 表面
- 40、40' ドリフト領域
- 41、41' ドープ領域
- 45、45' 第2の電流ターミナル
- 46、46' 注入領域

17

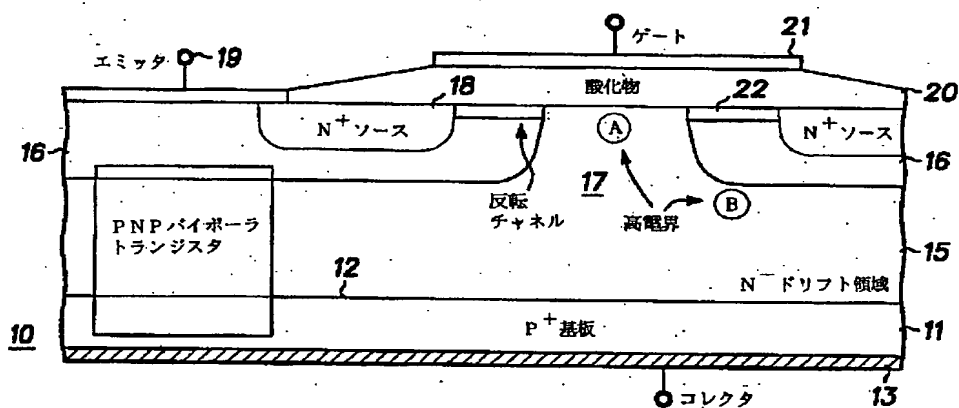
18

47、47' 注入領域  
 48、48' 金属層  
 50、50' 絶縁層  
 55、55' 金属層  
 56 蓄積チャネル  
 56' 反転チャネル

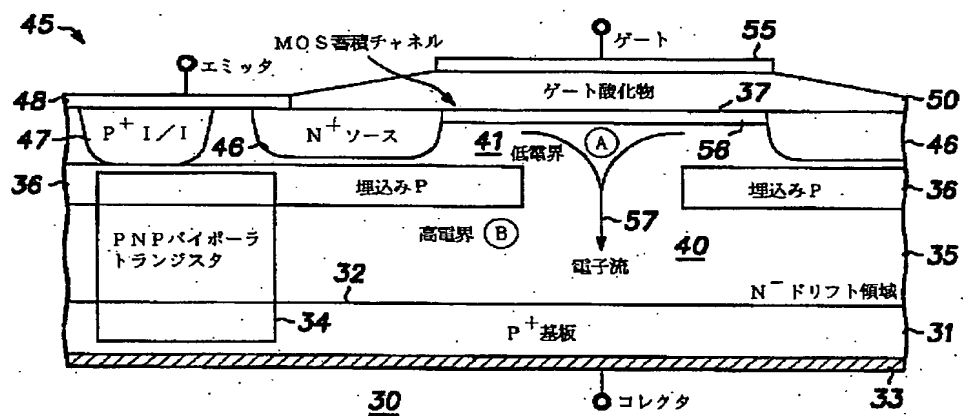
70 注入マスク  
 71 注入  
 72 注入マスク  
 73 領域  
 80 エッチマスク

【図 1】

従来技術



【図 2】



【図 9】

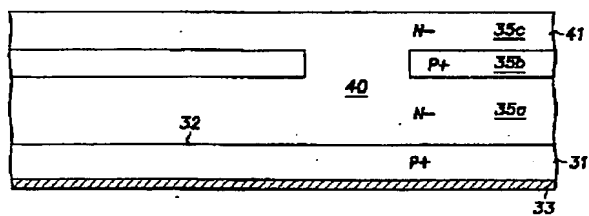


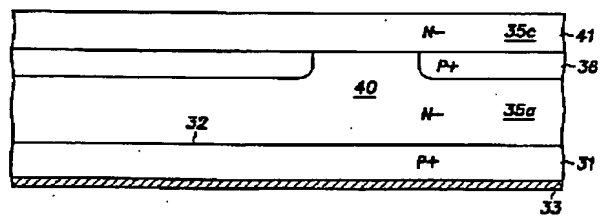
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 33 with a P+ region 31. Above 31 is an N- region 32. A thin layer 35 is on top of 32. A top surface 37 is indicated.

A cross-sectional view of a semiconductor device. A gate stack is formed on a substrate, consisting of a gate oxide layer (70) and a gate electrode (71). The gate stack is positioned over a channel region (32) of the substrate. The substrate is composed of alternating layers of N-type (N-) and P-type (P+) semiconductor material. The channel region (32) is located within an N-type layer. Source and drain regions (36) are formed in the P-type layers on either side of the channel region. A thin layer (37) is located between the gate oxide layer (70) and the channel region (32). The substrate is labeled 33 at the bottom.

A cross-sectional view of a device. It shows a substrate 32, a layer 33, and a top layer 35a. The layer 33 is hatched and is located between the substrate 32 and the top layer 35a. The top layer 35a is labeled with 'N-' and 'P+' indicating different regions. The label 31 is also present near the top layer 35a.

[illegible]

【図 1 1】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**